

Requested Patent: JP2003015588A
Title: DISPLAY DEVICE ;
Abstracted Patent: JP2003015588 ;
Publication Date: 2003-01-17 ;
Inventor(s): SUZUKI MASAHIRO ;
Applicant(s): PIONEER ELECTRONIC CORP; SHIZUOKA PIONEER KK ;
Application Number: JP20010196253 20010628 ;
Priority Number(s): JP20010196253 20010628 ;
IPC Classification: G09G3/28; G09G3/20; H04N5/66 ;
Equivalents: US2003006994, US6906726 ;

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a display device capable of displaying satisfactory images in which dither noise is reduced. SOLUTION: In this display device, values of dither coefficients, which are generated by being made to correspond to respective positions in a pixel group, are changed depending on the case where the luminance level of an image which is expressed by pixel data is luminance lower than prescribed luminance and on the case where the luminance level is included within prescribed middle luminance.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-15588

(P2003-15588A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl. ⁷	識別記号	F I	マークシート ⁷ (参考)
G 0 9 G	3/28	G 0 9 G	3/20
	3/20		6 4 1 E 5 C 0 5 8
			6 4 1 C 5 C 0 8 0
			6 4 1 K
H 0 4 N	5/66	H 0 4 N	5/66
	1 0 1		1 0 1 B
		G 0 9 G	3/28
			K
審査請求 未請求 請求項の数9 O L (全 18 頁)			

(21) 出願番号 特願2001-196253(P2001-196253)

(22) 出願日 平成13年6月28日 (2001.6.28)

(71) 出願人 000005016

バイオニア株式会社
東京都目黒区目黒1丁目4番1号

(71) 出願人 338050283

静岡バイオニア株式会社
静岡県袋井市鷺巣字西ノ谷15の1

(72) 発明者 鈴木 雅博

山梨県中巨摩郡旧宮町西花輪2680番地 静
岡バイオニア株式会社甲府事業所内

(74) 代理人 100079119

弁理士 藤村 元彦

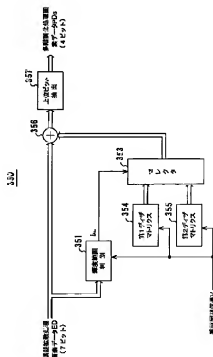
最終頁に続く

(54) 【発明の名称】 ディスプレイ装置

(57) 【要約】

【課題】 ディザノイズを低減させた良好な画像表示を行うことができるディスプレイ装置を提供することを目的とする。

【解決手段】 画素データによって表される画像の輝度レベルが所定輝度よりも低輝度である場合と、所定の中輝度範囲内に含まれる場合とで画素群内の各画素位置に対応させて発生すべきディザ係数の値を変更する。



【特許請求の範囲】

【請求項1】 画素を担う複数の表示セルを備えたディスプレイの画面上に映像信号に応じた画像を表示するディスプレイ装置であって、

複数の前記画素からなる画素群毎に前記画素群内の各画素位置に対応させてディザ係数を発生するディザ係数発生手段と、

前記画素各々に対応した前記映像信号に基づく画素データの各々に前記ディザ係数を加算してディザ加算画素データを得るディザ加算手段と、

前記ディザ加算画素データに応じた輝度で前記表示セルを発光せしめる表示駆動手段と、を有し、

前記ディザ係数発生手段は、前記画素データによって表される画像の輝度レベルが所定輝度よりも低輝度である場合と、所定の中輝度範囲内に含まれる場合とで前記画素群内の各画素位置に対応させて発生すべき前記ディザ係数の値を変更することを特徴とするディスプレイ装置。

【請求項2】 前記ディザ係数発生手段は、前記画素群内の各画素位置に対応させて発生すべき前記ディザ係数の値を、更に前記映像信号における1フィールド表示期間毎に変更することを特徴とする請求項1記載のディスプレイ装置。

【請求項3】 前記画素群の各々は、前記画面上において互いに隣接するN行M列分の前記画素の集合であることを特徴とする請求項1記載のディスプレイ装置。

【請求項4】 前記表示駆動手段は、前記1フィールド表示期間を構成する複数のサブフィールド各々において前記ディザ加算画素データに応じて前記表示セルの各々を選択的に点灯セル状態又は消灯セル状態のいずれか一方に設定するアドレス手段と、前記サブフィールド各々において前記点灯セル状態にある前記表示セルの各々を前記サブフィールドの重み付けに対応した発光期間だけ発光せしめる発光維持手段とを有し、

前記発光維持手段は、前記サブフィールド各々での前記発光期間を前記1フィールド表示期間毎に変更することを特徴とする請求項1記載のディスプレイ装置。

【請求項5】 画素を担う複数の表示セルを備えたディスプレイの画面上に映像信号に応じた画像を表示するディスプレイ装置であって、

前記画素各々に対応した前記映像信号に基づく画素データを生成する画素データ生成手段と、

第1変換特性と前記第1変換特性とは異なる変換特性を有する第2変換特性とを前記映像信号の1フィールドの表示期間毎に交互に用いて前記画素データによって表される画像の輝度レベルを変換して輝度変換画素データを得るデータ変換手段と、

複数の前記画素からなる画素群毎に前記画素群内の各画素位置に対応させてディザ係数を発生するディザ係数発生手段と、

前記輝度変換画素データの各々に前記ディザ係数を加算してディザ加算画素データを得るディザ加算手段と、前記ディザ加算画素データに応じた輝度で前記表示セルを発光せしめる表示駆動手段と、を有し、

前記ディザ係数発生手段は、前記画素データによって表される画像の輝度レベルが所定輝度よりも低輝度である場合と、前記所定輝度よりも高い所定の中輝度範囲内に含まれる場合とで前記画素群内の各画素位置に対応させて発生すべき前記ディザ係数の値を変更することを特徴とするディスプレイ装置。

【請求項6】 前記第1変換特性及び前記第2変換特性は、互いに前記所定輝度よりも低輝度～低輝度領域での変換特性が異なり、更に前記中輝度範囲に含まれる領域での変換特性が異なることを特徴とする請求項5記載のディスプレイ装置。

【請求項7】 前記ディザ係数発生手段は、前記画素群内の各画素位置に対応させて発生すべき前記ディザ係数の値を、更に前記映像信号における1フィールド表示期間毎に変更することを特徴とする請求項5記載のディスプレイ装置。

【請求項8】 前記画素群の各々は、前記画面上において互いに隣接するN行M列分の前記画素の集合であることを特徴とする請求項5記載のディスプレイ装置。

【請求項9】 前記表示駆動手段は、前記1フィールド表示期間を構成する複数のサブフィールド各々において前記ディザ加算画素データに応じて前記表示セルの各々を選択的に点灯セル状態又は消灯セル状態のいずれか一方に設定するアドレス手段と、前記サブフィールド各々において前記点灯セル状態にある前記表示セルのみを前記サブフィールドの重み付けに対応した発光期間だけ発光せしめる発光維持手段とを有し、

前記発光維持手段は、前記サブフィールド各々での前記発光期間を前記1フィールド表示期間毎に変更することを特徴とする請求項5記載のディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、ディザ処理回路を備えたディスプレイ装置に関する。

【0002】

【従来の技術】最近、2次元画像表示パネルとして、画素を担う複数の放電セルがマトリクス状に配列されたプラズマディスプレイパネル(以下、PDPと称する)が注目されている。PDPでは、映像信号に基づく各画素毎の画素データに応じて放電セル各々を放電せしめ、その放電に伴う発光によって画面上に表示画像を形成させる。かかるPDPを駆動させる方法として、1フィールドの表示期間を複数のサブフィールドに分割して駆動するサブフィールド法が知られている。例えば、1フィールドの表示期間を重み付けの順に、サブフィールドSF1、SF2、...、SF(N)なるN個のサブフィールド

に分割する。各サブフィールドでは、画素データに応じて各画素を点灯画素状態、又は消灯画素消灯に設定して行くアドレス行程と、上記点灯画素状態にある画素のみをそのサブフィールドの重み付けに対応した期間だけ発光させる発光維持行程とが実施される。従って、1フィールド期間内では、上記発光維持行程において放電セルを発光することになるサブフィールドと、放電セルを消灯させておくことになるサブフィールドとが混在する。この際、1フィールド期間内において各サブフィールドで実施された発光の合計時間に対応した中間輝度が視覚される。

【0003】PDPを採用したディスプレイ装置では、このような駆動にディザ処理を併用させることにより、視覚上における階調数を増加させて画質向上を図るようになっている。ディザ処理は、例えば、上下、左右に互いに隣接する4つの画素を1組とし、この1組の画素各々に対応した画素データに、互いに異なる係数値からなる4つのディザ係数(例えば、0、1、2、3)を加算する。この際、上記4つの画素を1画素として捉えた場合、かかるディザ処理により、見かけ上の階調数が増加するのである。

【0004】しかしながら、画素データにディザ係数を加算すると、元の画素データとは何等関係のない疑似模様が視覚される、いわゆるディザノイズが発生する場合があり、画質を損ねてしまうという問題があった。

【0005】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、ディザノイズを低減させた良好な画質表示を行うことができるディスプレイ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明によるディスプレイ装置は、画素を担う複数の表示セルを備えたディスプレイの画面上に映像信号に応じた画像を表示するディスプレイ装置であって、複数の前記画素からなる画素群毎に前記画素群内の各画素位置に対応させてディザ係数を発生するディザ係数発生手段と、前記画素各々に対応した前記映像信号に基づく画素データの各々に前記ディザ係数を加算してディザ加算画素データを得るディザ加算手段と、前記ディザ加算画素データに応じた輝度で前記表示セルを発光せしめる表示駆動手段と、を有し、前記ディザ係数発生手段は、前記画素データによって表される画像の輝度レベルが所定輝度よりも低輝度である場合と、所定の中間輝度範囲内に含まれる場合とで前記画素群内の各画素位置に対応させて発生すべき前記ディザ係数の値を変更する。

【0007】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図1は、本発明によるディスプレイ装置の概略構成を示す図である。尚、図1に示すディス

プレイ装置は、表示デバイスとしてプラズマディスプレイパネルを搭載したプラズマディスプレイ装置である。このディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、駆動部(同期検出回路1、駆動制御回路2、A/D変換器4、データ変換回路3、メモリ5、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8)とから構成される。

【0008】PDP10は、アドレス電極としての列電極 $D_1 \sim D_n$ と、これら列電極と直交して配列されている行電極 $X_1 \sim X_m$ 及び行電極 $Y_1 \sim Y_n$ を備えている。PDP10では、これら行電極X及び行電極Yの一对にて1行分に対応した行電極を形成している。列電極Dと、行電極X及びYとの各交差部には、画素を担う放電セルが形成されている。

【0009】同期検出回路1は、アナログの映像信号中から垂直同期信号を抽出したときに垂直同期信号Vを発生する。更に、同期検出回路1は、かかる映像信号中から水平同期信号を抽出した場合には水平同期信号Hを発生する。同期検出回路1は、これら垂直同期信号V及び水平同期信号Hの各々を、駆動制御回路2及びデータ変換回路30に供給する。A/D変換器4は、駆動制御回路2から供給されたクロック信号に応じて上記映像信号をサンプリングし、これを各画素毎の例えば10ビットの画素データPDに変換してデータ変換回路30に供給する。

【0010】図2は、かかるデータ変換回路30の内部構成を示す図である。図2に示されるように、データ変換回路30は、ABL(自動輝度制御)回路3及び第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34で構成される。ABL回路31は、画素データPD(=入力映像信号)に基づいて、PDP10の画面上に表示される画像の平均輝度を求め、その平均輝度が適切な輝度範囲内に収まるように、画素データPDに対して輝度レベルの調整を行う。

【0011】図3は、かかるABL回路31の内部構成を示す図である。図3において、レベル調整回路310は、後述する平均輝度検出回路311によって求められた平均輝度情報に応じて画素データPDのレベルを調整し、この際得られた輝度調整画素データ PD_{BL} を出力する。データ変換回路312は、輝度調整画素データ PD_{BL} を図4に示されるが如き非線形特性からなる逆ガンマ特性($Y=Y^{(1/2)}$)に変換したものを逆ガンマ変換画素データ PD_g として平均輝度レベル検出回路311に供給する。すなわち、輝度調整画素データ PD_{BL} に逆ガンマ補正処理を施すことにより、ガンマ補正の解除された元の映像信号に対応した画素データ(逆ガンマ変換画素データ PD_g)を復元するのである。平均輝度検出回路311は、逆ガンマ変換画素データ PD_g に基づく平均輝度を求め、これを上記平均輝度情報としてレベル調整回路310に供給するのである。すなわち、レベル調整回路

310は、この平均輝度情報に基づいて画素データPDの輝度レベルを調整したものを上記輝度調整画素データPD_{BL}として上記データ変換回路312、及び次段の第1データ変換回路32に供給するのである。

【0012】図5は、第1データ変換回路32の内部構成を示す図である。図5において、データ変換回路321は、10ビットで“0”～“1024”を表現し得る上記輝度調整画素データPD_{BL}を図6に示されるが如き変換特性に基づいて“0”～“384”までの9ビットの輝度変換画素データPD_{B1}に変換し、これをセクタ322に供給する。データ変換回路323は、上記輝度調整画素データPD_{B1}を図7に示されるが如き変換特性に基づいて“0”～“384”までの9ビットの輝度変換画素データPD_{B2}に変換し、これをセクタ322に供給する。この際、図6及び図7に示される変換特性は互いに、所定輝度よりも低輝度レベルでの変換特性と、所定の中輝度レベル範囲内での変換特性が異なっている。セクタ322は、これら輝度変換画素データPD_{B1}及びPD_{B2}の内から、変換特性選択信号の論理レベルに応じた方を択一的に選択し、これを輝度変換画素データPD_Bとして次段の多階調化処理回路33に供給する。尚、変換特性選択信号は、駆動制御回路2から供給されるものである。

【0013】第1データ変換回路32のデータ変換により、多階調化処理回路33の多階調化処理による輝度飽和、並びに表示階調がビット境界にない場合に生じる表示特性の平坦部の発生(すなわち、階調歪みの発生)が抑制される。多階調化処理回路33は、9ビットの輝度変換画素データPD_Bに対して誤差拡散処理及びディザ処理を施すことにより、現階調数を維持しつつもそのビット数を4ビットに削減した多階調化画素データPD_Sを生成する。尚、これら誤差拡散処理及びディザ処理については後述する。

【0014】第2データ変換回路34は、上記4ビットの多階調化画素データPD_Sを図8に示されるが如き変換テーブルに従って第1～第12ビットからなる画素駆動データGDに変換してメモリ5に供給する。メモリ5は、駆動制御回路2から供給されてくる書込信号に従って上記画素駆動データGDを順次書き込んで記憶する。かかる書込動作により、1画面(n行、m列)分の画素駆動データGD₁₁～GD_{nm}の書き込みが終了すると、メモリ5は、駆動制御回路2から供給されてくる読出信号に応じて、画素駆動データGD～GD_{nm}を同一ビット桁同士にて1行分毎に順次読み出してアドレスドライバ6に供給する。すなわち、メモリ5は、先ず、1画面分の駆動画素駆動データGD₁₁～GD_{nm}を、DB1₁₁～DB1_{nm}：画素駆動データGD₁₁～GD_{nm}の第1ビット目、DB2₁₁～DB2_{nm}：画素駆動データGD₁₁～GD_{nm}の第2ビット目

DB3₁₁～DB3_{nm}：画素駆動データGD₁₁～GD_{nm}の第3ビット目、DB4₁₁～DB4_{nm}：画素駆動データGD₁₁～GD_{nm}の第4ビット目、DB5₁₁～DB5_{nm}：画素駆動データGD₁₁～GD_{nm}の第5ビット目、DB6₁₁～DB6_{nm}：画素駆動データGD₁₁～GD_{nm}の第6ビット目、DB7₁₁～DB7_{nm}：画素駆動データGD₁₁～GD_{nm}の第7ビット目、DB8₁₁～DB8_{nm}：画素駆動データGD₁₁～GD_{nm}の第8ビット目、DB9₁₁～DB9_{nm}：画素駆動データGD₁₁～GD_{nm}の第9ビット目、DB10₁₁～DB10_{nm}：画素駆動データGD₁₁～GD_{nm}の第10ビット目、DB11₁₁～DB11_{nm}：画素駆動データGD₁₁～GD_{nm}の第11ビット目、DB12₁₁～DB12_{nm}：画素駆動データGD₁₁～GD_{nm}の第12ビット目

の如き12系統の画素駆動データビット群DB1～DB12と捉える。そして、メモリ5は、これらDB1～DB12を、夫々、後述するサブフィールドSF1～SF12各々のタイミングで読み出してアドレスドライバ6に供給する。例えば、サブフィールドSF1では、メモリ5は、上記画素駆動データビット群DB1₁₁～DB1_{nm}を1表示ライン分づつ読み出してアドレスドライバ6に供給する。又、サブフィールドSF12では、メモリ5は、上記画素駆動データビット群DB12₁₁～DB12_{nm}を1表示ライン分づつ読み出してアドレスドライバ6に供給するのである。

【0015】駆動制御回路2は、図9(a)に示される第1発光駆動フォーマットと、図9(b)に示される第2発光駆動フォーマットとを、同期検出回路1から垂直同期信号Vが供給される度に交互に切り換えて採用する。そして、駆動制御回路2は、第1発光駆動フォーマットを採用している際には、図6に示されるが如き変換特性に基づきデータ変換を実施されるべき変換特性選択信号を第1データ変換回路32に供給する。一方、上記第2発光駆動フォーマットを採用している際には、図7に示されるが如き変換特性に基づきデータ変換を実施されるべき変換特性選択信号を第1データ変換回路32に供給する。

【0016】更に、駆動制御回路2は、上述した如く採用した発光駆動フォーマットに従ってPDP10を駆動すべき各種タイミング信号をアドレスドライバ6、第1サステンドライバ7及び第2サステンドライバ8各々に供給する。すなわち、駆動制御回路2は、例えば入力映像信号における奇数フィールド時には図9(a)に示す第1発光駆動フォーマットに基づきPDP10を階調

駆動させ、偶数フィールド時には図9(b)に示す第2発光駆動フォーマットに基づきPDP10を階調駆動させるのである。

【0017】ここで、図9(a)及び図9(b)に示される発光駆動フォーマットは、映像信号における1フィールド期間を12個のサブフィールドSF1～SF12に分割して、各サブフィールド毎にPDP10に対する駆動を実施するものである。この際、各サブフィールドは、入力映像信号に基づいてPDP10の各放電セルを“点灯放電セル状態”及び“消灯放電セル状態”のいずれか一方に設定するアドレス行程Wcと、“点灯放電セル状態”にある放電セルのみを各サブフィールドの重み付けに対応した期間(回数)だけ発光させる発光維持行程Icとからなる。尚、図9(a)に示される第1発光駆動フォーマットでは、サブフィールドSF1～SF12各々の発光維持行程Icにおいて、

SF1:2
SF2:3
SF3:5
SF4:8
SF5:11
SF6:17
SF7:22
SF8:28
SF9:35
SF10:43
SF11:51
SF12:30

なる期間(回数)だけ、“点灯放電セル状態”にある放電セルを継続して発光させる。

【0018】一方、図9(b)に示される第2発光駆動フォーマットでは、サブフィールドSF1～SF12各々の発光維持行程Icにおいて、

SF1:1
SF2:2
SF3:4
SF4:6
SF5:10
SF6:14
SF7:19
SF8:25
SF9:31
SF10:39
SF11:47
SF12:57

なる期間(回数)だけ、“点灯放電セル状態”にある放電セルを継続して発光させる。

【0019】更に、上記第1及び第2発光駆動フォーマットでは共に、先頭のサブフィールドSF1においてのみで、PDP10の全放電セルを“点灯放電セル状態”に

初期化せしめる一斉リセット行程Rcを実行し、最後尾のサブフィールドSF8のみで全放電セルを“消灯放電セル状態”にする消去行程Rcを実行する。図10は、図9(a)及び図9(b)に示される発光駆動フォーマットに従って、アドレスドライバ6、第1サステインドライバ7及び第2サステインドライバ8各々が、PDP10の行電極及び列電極に印加する各種駆動パルスの印加タイミングを示す図である。

【0020】まず、サブフィールドSF1の一斉リセット行程Rcでは、第1サステインドライバ7が図10に示されるが如き負極性のリセットパルスRP₁を行電極X₁～X₆に印加する。かかるリセットパルスRP₁の印加と同時に、第2サステインドライバ8が、図10に示されるが如き正極性のリセットパルスRP₂を行電極Y₁～Y₂に印加する。これらリセットパルスRP₁及びRP₂の印加に応じて、PDP10の全放電セルがリセット放電し、各放電セル内には一様に所定量の壁電荷が形成される。これにより、全ての放電セルは“点灯放電セル状態”に初期化される。

【0021】次に、各サブフィールドのアドレス行程Wcでは、アドレスドライバ6が、上記メモリ5から供給された画素駆動データビットDBの論理レベルに対応した電圧を有する画素データパルスを発生する。例えば、アドレスドライバ6は、画素駆動データビットDBの論理レベルが“1”である場合には高電圧の画素データパルスを生成し、“0”である場合には低電圧(0ボルト)の画素データパルスを生成する。この際、アドレスドライバ6は、この画素データパルスを1行分(m個)毎に、列電極D₁～D₆に印加して行く。

【0022】例えば、サブフィールドSF1のアドレス行程Wcでは、メモリ5から画素駆動データビット群DB₁₁₁～DB₁₁₆が供給されるので、アドレスドライバ6は、先ず、この中から第1行目に対応した分、つまりDB₁₁₁～DB₁₁₆を抽出する。そして、アドレスドライバ6は、これらm個のDB₁₁₁～DB₁₁₆各々を、その論理レベルに対応したm個の画素データパルスDP₁₁₁～DP₁₁₆に変換し、これらを図10に示す如く同時に列電極D₁～D₆に印加する。次に、アドレスドライバ6は、画素駆動データビット群DB₁₂₁～DB₁₂₆の中から第2行目に対応したDB₁₂₁～DB₁₂₆を抽出する。そして、アドレスドライバ6は、これらm個のDB₁₂₁～DB₁₂₆各々を、その論理レベルに対応したm個の画素データパルスDP₁₂₁～DP₁₂₆に変換し、これらを図10に示す如く同時に列電極D₁～D₆に印加する。以下、同様にしてアドレスドライバ6は、サブフィールドSF1のアドレス行程Wcにおいて、メモリ5から供給された画素駆動データビット群DB1に対応した画素データパルスDP1を1行分毎に列電極D₁～D₆に印加して行くのである。

【0023】更に、アドレス行程Wcでは、第2サステ

インドライバ8が、上述した如き1行分毎の画素データパルス群DPの印加タイミングと同一タイミングにて、図10に示されるが如き負極性の走査パルスSPを発生し、これを行電極 $Y_1 \sim Y_n$ へと順次印加して行く。この際、走査パルスSPが印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ放電（選択消去放電）が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。この選択消去放電により、上記一斉リセット行程Rcにおいて“点灯放電セル状態”に初期化された放電セルは“消灯放電セル状態”に設定される。一方、上記選択消去放電の生じられなかった放電セルは、その直前までの状態を維持する。すなわち、“点灯放電セル状態”にあった放電セルはそのまま“点灯放電セル状態”に設定され、“消灯放電セル状態”にあった放電セルはそのまま“消灯放電セル状態”に設定されるのである。

【0024】次に、各サブフィールドの発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、行電極 $X_1 \sim X_g$ 及び $Y_1 \sim Y_g$ に対して図8に示されるように交互に正極性の維持パルスIP_g及びIP_hを印加する。ここで、発光維持行程Icにおいて印加する維持パルスIPの回数は、図9(a)に示す如き第1発光駆動フォーマットに基づく駆動が実施されている期間中は、

SF1:2
SF2:3
SF3:5
SF4:8
SF5:11
SF6:17
SF7:22
SF8:28
SF9:35
SF10:43
SF11:51
SF12:30

であり、図9(b)に示す如き第2発光駆動フォーマットに基づく駆動が実施されている期間中は、

SF1:1
SF2:2
SF3:4
SF4:6
SF5:10
SF6:14
SF7:19
SF8:25
SF9:31
SF10:39
SF11:47
SF12:57

となる。

【0025】この際、壁電荷が残置したままとされている放電セル、すなわち上記アドレス行程Wcにおいて“点灯放電セル状態”に設定された放電セルのみが、上記維持パルスIP_g及びIP_hが印加される度に維持放電する。よって、“点灯放電セル状態”に設定された放電セルは、上述した如くサブフィールド毎に割り当てられた放電回数分だけ、その維持放電に伴う発光状態を維持する。

【0026】そして、最後尾のサブフィールドSF8のみで消去行程Eを実行する。かかる消去行程Eでは、アドレスドライバ6が、図10に示されるが如き正極性の消去パルスAPを発生してこれを列電極D₁～D_gに印加する。更に、第2サスティンドライバ8は、かかる消去パルスAPの印加タイミングと同時に図10に示されるが如き負極性の消去パルスEPを発生してこれを行電極 $Y_1 \sim Y_g$ 各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP10における全放電セル内において消去放電が生じられ、全ての放電セル内に残存している壁電荷が消滅する。かかる消去放電により、PDP10における全ての放電セルが“消灯放電セル状態”に推移する。

【0027】上記図9及び図10に示す駆動によれば、各サブフィールド内のアドレス行程Wcにおいて“点灯放電セル状態”に設定された放電セルのみが、その直後の発光維持行程Icにおいて上述した如き回数だけ放電に伴う発光を繰り返す。ここで、各放電セルが“点灯放電セル状態”、又は“消灯放電セル状態”のいずれに設定されるのかは、図8に示されるが如き画素駆動データGDによって決まる。すなわち、画素駆動データGDの各ビットが論理レベル“1”である場合には、そのビットが対応したサブフィールドのアドレス行程Wcにおいて選択消去放電が生じられ、放電セルは“消灯放電セル状態”に設定される。一方、そのビットの論理レベルが“0”である場合には上記選択消去放電は生じられないので、現状を維持する。つまり、このアドレス行程Wcの直前まで“消灯放電セル状態”にあった放電セルは“消灯放電セル状態”を維持し、“点灯放電セル状態”にあった放電セルは“点灯放電セル状態”をそのまま維持するのである。この際、図8に示す如き13通りの画素駆動データGDでは、第1～第12ビットの内論理レベル“1”となるビットは最大でも1つである。すなわち、図8に示す画素駆動データGDによれば、1フィールド期間内に生じられる選択消去放電は必ず1回以下となる。更に、図9(a)及び図9(b)に示す発光駆動フォーマットによれば、放電セルを“消灯放電セル状態”から“点灯放電セル状態”に推移させることが出来る機会は、先頭のサブフィールドSF1の一斉リセット行程Rcのみである。

【0028】従って、図8に示される画素駆動データG

Dを用いて図9(a)又は図9(b)に示す発光駆動フォーマットに従った駆動を行うと、各放電セルは、1フィールドの先頭から図8中の黒丸が付されているサブフィールドにて選択消去放電が生じられるまでの間だけ点灯放電セル状態になる。そして、その間に存在する白丸にて示されるサブフィールド各々の発光維持行程Icにおいて上述した如き回数だけ維持放電に伴う発光を繰り返すのである。この際、1フィールド期間内の各サブフィールドSF1〜SF12において実施された維持放電発光の総数に応じた中間調の輝度が視覚される。

【0029】つまり、奇数フィールド時には図9(a)に示す第1発光駆動フォーマットに基づく駆動が実施されるので、この間、図8に示す如き13通りの画素駆動データGDにより、夫々、

[0:2:5:8:18:29:46:68:96:131:174:225:255]

なる発光輝度を有する13階調分の中間輝度が表現される。

【0030】一方、偶数フィールド時には図9(b)に示す第2発光駆動フォーマットに基づく駆動が実施されるので、この間、図8に示す如き13通りの画素駆動データGDにより、夫々、

[0:1:3:7:13:23:37:56:81:112:151:198:255]

なる発光輝度を有する13階調分の中間輝度が表現される。

【0031】すなわち、各サブフィールドで実施すべき発光期間が互いに異なる2種類の13階調駆動をフィールド(フレーム)毎に交互に実施されるのである。図11は、第1発光駆動フォーマットに基づく駆動を実施した際における13階調各々での発光輝度と、第2発光駆動フォーマットに基づく駆動を実施した際における13階調各々での発光輝度とを表す図である。尚、図11において、マーク□は、第1発光駆動フォーマットに基づく発光輝度、マーク◆は、第2発光駆動フォーマットに基づく発光輝度を表している。この図から、1フィールド(フレーム)毎に駆動パターン、つまり各サブフィールドの維持発光行程Icにおける発光回数(維持パルスの数)を変更すると、一方の駆動で表現される13階調分の輝度各々の間に他方の駆動で表現される13階調分の輝度が挿入されることがわかる。よって、時間方向の積分効果により、視覚上における表示階調数は13階調よりも増加して階調表現力が向上する。

【0032】この際、図11に示す如き互いに隣接する階調間の輝度は、上述の誤差拡散処理、ディザ処理等の多階調化処理によって表現される。図12は、この誤差拡散処理、及びディザ処理を実施する多階調化処理回路33の内部構成を示す図である。図12に示すように、多階調化処理回路33は、誤差拡散処理回路330、及びディザ処理回路350から構成される。

【0033】誤差拡散処理回路330は、先ず、上記第1データ変換回路32から供給されてくる輝度変換画素データPD₀の系列中から、図13に示す如きPDP10の画素G(j,k)、G(j,k+1)、G(j-1,k+1)、G(j-1,k)、及びG(j-1,k+1)各々に対応した画素データを取り出す。そして、画素G(j,k-1)、G(j-1,k+1)、G(j-1,k)、及びG(j-1,k-1)各々に対応した画素データの低位ビット(低輝度成分)同士を重み付け加算したものを、画素G(j,k)に対応した画素データの上位7ビットに反映させたものを誤差拡散処理画素データEDとしてディザ処理回路350に供給する。この際、上記誤差拡散処理によって、画素G(j,k)に対応した画素データの低輝度成分が上記周辺画素各々に対応した画素データによって擬似的に表現されるので、誤差拡散処理画素データEDのビット数が7ビットであっても、8ビットと同等な輝度を表現することが可能となる。

【0034】図14は、ディザ処理回路350の内部構成を示す図である。ディザ処理回路350は、輝度範囲判別回路351、セレクタ353、第1ディザマトリクス回路354、第2ディザマトリクス回路355、加算器356、及び上位ビット抽出回路357から構成される。輝度範囲判別回路351は、先ず、7ビットの上記誤差拡散処理画素データEDによって表される輝度レベルが、所定の低輝度レベル(例えば“7”)よりも低い、又は所定の高輝度範囲内(例えば“8”〜“88”)にある、又は所定の高輝度レベル(例えば“88”よりも高い)のかを判別する。この際、誤差拡散処理画素データEDが上記輝度範囲内に含まれると判別した場合、輝度範囲判別回路351は、論理レベル“1”の輝度判別信号BLをセレクタ353に供給する。一方、誤差拡散処理画素データEDが所定の低輝度レベルよりも低い、又は所定の高輝度レベルよりも高いと判別された場合、輝度範囲判別回路351は、論理レベル“0”の輝度判別信号BLをセレクタ353に供給する。

【0035】第1ディザマトリクス回路354及び第2ディザマトリクス回路355各々は、図15の大線にて囲まれているPDP10の4行×4列画素群毎に、その画素群内の各画素位置に対応させて、“0”〜“7”を表現する3ビットのディザ係数を発生する。そして、その発生したディザ係数各々を、上記画素群内における各画素に対応して供給される誤差拡散処理画素データED各々に合わせたタイミングで、セレクタ353に送出する。尚、上記第1ディザマトリクス回路354及び第2ディザマトリクス回路355は互いに“0”〜“7”なるディザ係数を発生する点では同一動作を為すものの、4行×4列画素群内の各画素に対するディザ係数の割り当て方が異なっている。

【0036】図16は、第1ディザマトリクス回路354が発生するディザ係数の各画素位置に対する割り当てを示すディザマトリクステーブルを示す図である。図1

6に示されるように、第1ディザマトリクス回路354は、最初の第1フィールドにおいては、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"7"、"2"、"7"、"2"

なるディザ係数を発生する。

【0037】尚、上記Kは、 $1 \sim n/4$ までの自然数であり、上記Lは、 $1 \sim m/4$ までの自然数である。又、この第1フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"0"、"5"、"0"、"5"

なるディザ係数を発生する。

【0038】又、この第1フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"3"、"6"、"3"、"6"

なるディザ係数を発生する。

【0039】更に、この第1フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"4"、"1"、"4"、"1"

なるディザ係数を発生する。

【0040】次の第2フィールドでは、第1ディザマトリクス回路354は、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"1"、"4"、"1"、"4"

なるディザ係数を発生する。

【0041】又、この第2フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"6"、"3"、"6"、"3"

なるディザ係数を発生する。

【0042】又、この第2フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"5"、"0"、"5"、"0"

なるディザ係数を発生する。

【0043】更に、この第2フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"2"、"7"、"2"、"7"

なるディザ係数を発生する。

【0044】次の第3フィールドでは、第1ディザマトリクス回路354は、上記第2フィールドで発生したディザ係数と同一のディザ係数を発生する。そして、第4フィールドでは、第1ディザマトリクス回路354は、上記第1フィールドで発生したディザ係数と同一のディザ係数を発生する。第1ディザマトリクス回路354は、上述した如き第1フィールド～第4フィールドでの一連のディザ係数発生動作を図16に示されるように繰り返して実行する。

【0045】これに対し、第2ディザマトリクス回路355は、図17に示される如きディザマトリクスステップに従って、4行×4列画素群内の各画素位置に対応させたディザ係数を発生している。図17に示されるように、第2ディザマトリクス回路355は、最初の第1フィールドにおいては、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"7"、"2"、"7"、"2"

なるディザ係数を発生する。

【0046】又、この第1フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"0"、"5"、"0"、"5"

なるディザ係数を発生する。

【0047】又、この第1フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"3"、"6"、"3"、"6"

なるディザ係数を発生する。

【0048】更に、この第1フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"4"、"1"、"4"、"1"

なるディザ係数を発生する。

【0049】次の第2フィールドにおいては、第2ディザマトリクス回路355は、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-

ー1)列、及び第4L列に属する画素の各々に対応させて、夫々
 “5”、“0”、“5”、“0”

なるディザ係数を発生する。

【0050】又、この第2フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“2”、“7”、“2”、“7”

なるディザ係数を発生する。

【0051】又、この第2フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“1”、“4”、“1”、“4”

なるディザ係数を発生する。

【0052】更に、この第2フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“6”、“3”、“6”、“3”

なるディザ係数を発生する。

【0053】次の第3フィールドでは、第2ディザマトリクス回路355は、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“1”、“4”、“1”、“4”

なるディザ係数を発生する。

【0054】又、この第3フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“6”、“3”、“6”、“3”

なるディザ係数を発生する。

【0055】又、この第3フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“5”、“0”、“5”、“0”

なるディザ係数を発生する。

【0056】更に、かかる第3フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“2”、“7”、“2”、“7”

なるディザ係数を発生する。

【0057】次の第4フィールドでは、第2ディザマトリクス回路355は、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“3”、“6”、“3”、“6”

なるディザ係数を発生する。

【0058】又、この第4フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“4”、“1”、“4”、“1”

なるディザ係数を発生する。

【0059】又、この第4フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“7”、“2”、“7”、“2”

なるディザ係数を発生する。

【0060】更に、かかる第4フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

“0”、“5”、“0”、“5”

なるディザ係数を発生する。

【0061】第2ディザマトリクス回路355は、上述した如き第1フィールド〜第4フィールドでの一連のディザ係数発生動作を図17に示されるように繰り返し実行する。セレクト353は、輝度範囲判別回路351から供給された輝度範囲判別信号BLが論理レベル“1”である場合には、第1ディザマトリクス回路354が発生したディザ係数を加算器356に供給する。一方、上記輝度範囲判別信号BLが論理レベル“0”である場合には、セレクト353は、第2ディザマトリクス回路355が発生したディザ係数を加算器356に供給する。すなわち、セレクト353は、誤差拡散処理画素データEDによって表される輝度レベルが前述した如き中輝度範囲に含まれる場合には図16、それ以外の場合には図17に示す如きディザ係数を加算器356に供給するのである。

【0062】加算器356は、上記セレクト353から供給されてくるディザ係数を、上記誤差拡散処理画素データEDに加算する。加算器356は、この加算結果をディザ加算画素データとして上位ビット抽出回路357

に供給する。上位ビット抽出回路357は、かかるディザ加算画素データ中から上位4ビット分を抽出し、これを多階調化画素データPD₂として出力する。

【0063】以上の如く、ディザ処理回路350では、PDP10における4行×4列画素群を1つの表示単位として捉えてディザ処理を行うようにしている。つまり、4行×4列画素群内の16個の画素各々に対応した誤差拡散処理画素データED各々の上位3ビットに、3ビットで表される“0”～“7”なるディザ係数を図16又は図17に示されるように割り当てて加算するのである。このように、16個の画素各々に対応した誤差拡散処理画素データED各々の下位3ビットに、3ビットで表される“0”～“7”なるディザ係数を加算すると、

- 1) ディザ係数“7”が加算された画素だけで桁上げが生じる場合、
- 2) ディザ係数“6”及び“7”が加算された画素で桁上げが生じる場合
- 3) ディザ係数“5”～“7”が加算された画素で桁上げが生じる場合
- 4) ディザ係数“4”～“7”が加算された画素で桁上げが生じる場合
- 5) ディザ係数“3”～“7”が加算された画素で桁上げが生じる場合
- 6) ディザ係数“2”～“7”が加算された画素で桁上げが生じる場合
- 7) ディザ係数“1”～“7”が加算された画素で桁上げが生じる場合
- 8) 全ての画素で桁上げが生じない場合

なる8つの桁上げ状態のいずれかが起こる。
【0064】そして、かかる桁上げの影響が、加算器356から出力されたディザ加算画素データ中の上位4ビットに反映されることになる。従って、4行×4列画素群を1つの表示単位として眺めた場合、上記ディザ加算画素データ中の上位4ビットによって表される輝度として、8種類の組み合わせが発生することになる。すなわち、上位ビット抽出回路357によって得られた多階調化画素データPD₂のビット数が例え4ビットであっても、表現出来る輝度階調数は8倍、すなわち、7ビット相当の中間調表示が可能となるのである。

【0065】ここで、前述したように、本発明では、図9(a)に示す第1発光駆動フォーマットに基づく駆動と、図9(b)に示す第2発光駆動フォーマットに基づく駆動とを、1フィールド毎に交互に切り換えて実施することにより、視覚上における階調表現力を向上させている。更に、多階調化処理による輝度飽和及び階調歪みの発生を抑制すべく、図2に示す第1データ変換回路32によって10ビットの輝度調整画素データPD_{BL}を9ビットの輝度変換画素データPD_Hに変換している。この際、第1データ変換回路32は、上記第1発光駆動フォーマットに基づく駆動を実施している間は図6、一方、

第2発光駆動フォーマットに基づく駆動を実施している間は図7に示す如き変換特性にてデータ変換を行う。よって、例え長期間に亘って輝度変化の無い画像を3映像信号が入力された場合においても、ディザ処理回路350に入力される誤差拡散処理画素データEDの値は、1フィールド毎に変化することになる。例えば“633”を表す輝度調整画素データPD_{BL}が供給された場合、第1データ変換回路32は、これを、奇数フィールド時には図6に示す如き変換特性に基づいて“248”なる輝度変換画素データPD_Hに変換する。つまり、2値で表すと“011111000”なる9ビットの輝度変換画素データPD_Hに変換されるのである。この際、かかる輝度変換画素データPD_Hに誤差拡散処理を施すと、“011111000”の上位7ビットで表される“0111110”なる7ビットの誤差拡散処理画素データEDが得られる。これは10進数で表すと“62”である。又、第1データ変換回路32は、偶数フィールド時には上記“633”なる輝度調整画素データPD_{BL}を、図7に示す如き変換特性に基づいて“265”なる輝度変換画素データPD_Hに変換する。つまり、2値で表すと“100001001”なる9ビットの輝度変換画素データPD_Hに変換されるのである。この際、かかる輝度変換画素データPD_Hに誤差拡散処理を施すと、“100001001”の上位7ビットで表される“1000010”なる7ビットの誤差拡散処理画素データEDが得られる。これは10進数で表すと“66”である。従って、図18に示す如く、第1及び第3フィールド時には4行×4列画素群の各画素に対応して“62”に対応した誤差拡散処理画素データED、一方、第2及び第4フィールド時には“66”に対応した誤差拡散処理画素データEDがディザ処理回路350に入力される。この際、第1及び第3フィールド時の誤差拡散処理画素データEDと、第2及び第4フィールド時の誤差拡散処理画素データEDとの間には“4”なるオフセットが生じる。よって、第1～第4フィールドの全ての画素において、4行×4列画素群の各画素に対応したディザ係数の組み合わせが同一となるディザパターンを用いてディザ加算を実施すると、ディザノイズ発生のを恐れがでる。そこで、上記オフセット量“4”を考慮して、図16に示す如く、2フィールド毎に4行×4列画素群の各画素に対応したディザ係数の値が切り替わるディザパターンを用いてディザ加算を実施するようになるのである。この際、第1及び第3フィールド時には“62”、第2及び第4フィールド時には“66”となる4行×4列の誤差拡散処理画素データEDに、図16に示す如きディザ係数を加算すると、図18に示す如きディザ加算画素データ(下位3ビットで表される値は切り捨て)が得られる。すると、第1～第4フィールド間での時間方向の積分効果により、4行×4列画素群の16個の画素全てにおいて“62”に対応した輝度が現れ、いわゆるディザノイズの無い画像表示が為される。

【0066】ところが、極めて低輝度、あるいは極めて低輝度の画像を表す映像信号が入力された場合には、図6に示す変換特性によって変換して得られた輝度変換画素データ P_{Dg} と、図7に示す如き変換特性によって変換して得られた輝度変換画素データ P_{Dh} とのオフセット量は0になる。従って、4行×4列分の誤差拡散処理画素データEDの値は全ての期間に亘って同一となる。よって、上述した如きオフセット量“4”を考慮して生成された図16に示す如きディザ係数を加算すると、ディザノイズが発生する場合が生じる。

【0067】例えば、極めて低輝度を表す“15”なる輝度調整画素データ P_{Dg} が供給された場合、第1データ変換回路32は、これを、奇数フィールド時には図6に示す如き変換特性に基づいて“4”なる輝度変換画素データ P_{Dg} に変換する。つまり、2値で表すと“000000100”なる9ビットの輝度変換画素データ P_{Dg} に変換されるのである。この際、かかる輝度変換画素データ P_{Dg} に誤差拡散処理を施すと、“000000100”の上位7ビットで表される“0000001”なる7ビットの誤差拡散処理画素データEDが得られる。これは10進数で表すと“1”である。又、第1データ変換回路32は、“15”なる輝度調整画素データ P_{Dg} を、偶数フィールド時には図7に示す如き変換特性に基づいて“6”なる輝度調整画素データ P_{Dh} に変換する。つまり、2値で表すと“000000110”なる9ビットの輝度変換画素データ P_{Dh} に変換されるのである。この際、かかる輝度変換画素データ P_{Dh} に誤差拡散処理を施すと、“000000110”の上位7ビットで表される“0000001”なる7ビットの誤差拡散処理画素データEDが得られる。これは10進数で表すと“1”である。従って、図18に示す如く、第1〜第4フィールドに亘り、4行×4列画素群の各画素に対応した誤差拡散処理画素データEDとして“1”がディザ処理回路350に入力されるのである。この際、かかる誤差拡散処理画素データEDに図16に示す如きディザ係数を加算すると、図18に示す如きディザ加算画素データ(下位3ビットで表される値は切り捨て)が得られる。すると、第1〜第4フィールド間で時間方向の積分効果により、4行×4列画素群中には図18に示す如く、“0”に対応した輝度(つまり消灯状態)の画素に混じって“4”に対応した輝度で視覚される画素が点在して表れ、ディザノイズが発生する。

【0068】そこで、本発明においては、上記誤差拡散処理画素データEDによって表される輝度レベルが極めて低輝度又は高輝度である場合には、図16に代わり図17に示す如きディザ係数を用いてディザ加算を実施するようしたのである。従って、前述した如き第1〜第4フィールドに亘り“1”となる誤差拡散処理画素データEDに、図17に示すディザ係数を加算すると、図19に示す如きディザ加算画素データ(下位3ビットで表さ

れる値は切り捨て)が得られる。この際、第1〜第4フィールド間で時間方向の積分効果により、4行×4列画素群内において、図19に示す如く“4”に対応した輝度で視覚される画素と、“2”に対応した輝度で視覚される画素が交互に表れる、いわゆる市松模様状のディザパターンが発生する。尚、市松模様状のディザパターンは視覚的には目立ちにくいので、結果として、ディザノイズが抑制されることになる。

【0069】以上の如く、本発明においては、入力映像信号(誤差拡散処理画素データED)で表される画像の輝度が所定の中間輝度範囲内に含まれる場合には図16、極めて低輝度又は高輝度である場合には図17のディザマトリクスにて示されるディザ係数を用いてディザ処理を実施する。これにより、ディザノイズを低減させた良好な画像表示を実現するのである。

【0070】尚、上記実施例においては、ディザ係数の値が0〜7までの8値であるが、これに限定されるものではない。更に、上記実施例においては、入力映像信号で表される画像の輝度が低輝度、又は高輝度である場合には、共に図17のディザマトリクスによって示されるディザ係数を用いているが、低輝度である場合と、高輝度である場合とで用いるディザマトリクスを異ならせても良い。

【0071】図20は、かかる点に鑑みて為されたディザマトリクスの他の一例を示す図である。尚、図20(a)は、誤差拡散処理画素データEDによって表される輝度が低輝度である場合に第2ディザマトリクス回路355が発生するディザ係数のマトリクスを示す図である。又、図20(b)は、誤差拡散処理画素データEDによって表される輝度が高輝度である場合に第2ディザマトリクス回路355が発生するディザ係数のマトリクスを示す図である。

【0072】すなわち、低輝度画像表示時には、第2ディザマトリクス回路355は、 $PDP10$ の4行×4列の各画素に対応した16個のディザ係数(0〜15)からなる図20(a)に示す如き4種類のディザマトリクスDMX1〜DMX4を、夫々1フィールド毎に発生する。この際、第2ディザマトリクス回路355は、これら4つのディザマトリクスDMX1〜DMX4を4フィールド周期で繰り返し発生する。一方、高輝度画像表示時には、図20(b)に示す如き2種類のディザマトリクスDMX5及びDMX6を夫々1フィールド毎に交互に発生する。この際、第2ディザマトリクス回路355は、これら2つのディザマトリクスDMX5及びDMX6を2フィールド周期で繰り返し発生する。

【0073】よって、図20に示す如きディザマトリクスによれば、高輝度画像表示の際には低輝度画像表示に比してディザパターンの変化周期が短くなるので、この高輝度画像表示時において目立つと言われるフリッカが低減される。

【0074】

【発明の効果】以上詳述した如く、本発明においては、表示すべき画像の輝度が低輝度である場合と、中輝度である場合とでディザ処理時に用いるディザ係数の値を変更することにより、ディザノイズを低減させた高品質な画像表示を実現している。

【図面の簡単な説明】

【図1】本発明によるディスプレイ装置としてのプラズマディスプレイ装置の概略構成を示す図である。

【図2】図1に示されるプラズマディスプレイ装置におけるデータ変換回路30の内部構成を示す図である。

【図3】図2に示されるABL回路31の内部構成を示す図である。

【図4】図3に示されるデータ変換回路312における変換特性を示す図である。

【図5】図2に示される第1データ変換回路32の内部構成を示す図である。

【図6】図5に示されるデータ変換回路321におけるデータ変換特性を示す図である。

【図7】図5に示されるデータ変換回路323におけるデータ変換特性を示す図である。

【図8】図2に示される第2データ変換回路34の変換テーブル、及び発光駆動パターンを示す図である。

【図9】図1に示されるプラズマディスプレイ装置の発光駆動フォーマットを示す図である。

【図10】図1に示される第1フィールド内においてPDP10に印加される各種駆動パルスと、その印加タイミングを示す図である。

【図11】第1発光駆動フォーマットに基づく駆動を実施した際における13階調各々での発光輝度と、第2発光駆動フォーマットに基づく駆動を実施した際における13階調各々での発光輝度とを表す図である。

【図12】多階調化処理回路33の内部構成を示す図である。

【図13】誤差拡散処理回路330の動作を説明するための図である。

【図14】ディザ処理回路350の内部構成の一例を示す図である。

【図15】PDP10における画素配列を示す図である。

【図16】図14に示す第1ディザマトリクス回路354が発生するディザ係数による4行×4列画素群毎のマトリクスを示す図である。

【図17】図14に示す第2ディザマトリクス回路355が発生するディザ係数による4行×4列画素群毎のマトリクスを示す図である。

【図18】中輝度画像("633")及び低輝度画像("15")を夫々表す誤差拡散処理画素データED各々の第1～第4フィールドでの推移と、図16に示すディザ係数加算後のディザ加算画素データの推移を示す図である。

【図19】低輝度画像("15")を夫々表す誤差拡散処理画素データED各々の第1～第4フィールドでの推移と、図17に示すディザ係数加算後のディザ加算画素データの推移を示す図である。

【図20】第2ディザマトリクス回路355が発生するディザ係数による4行×4列画素群毎のマトリクスの他の例を示す図である。

【主要部分の符号の説明】

32 第1データ変換回路

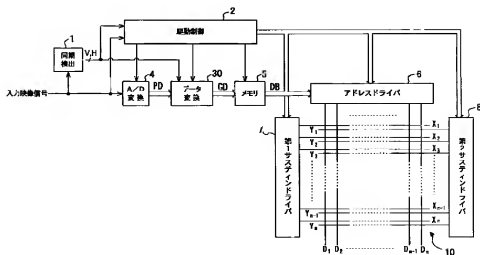
350 ディザ処理回路

351 輝度範囲判別回路

354 第1ディザマトリクス回路

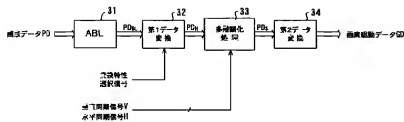
355 第2ディザマトリクス回路

【図1】

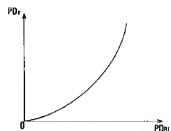


【図2】

30

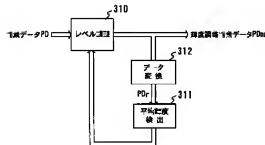


【図4】



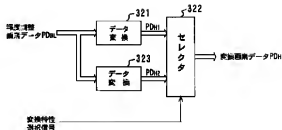
【図3】

31

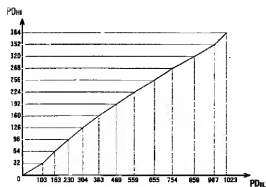


【図5】

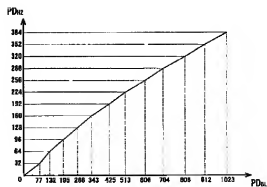
32



【図6】



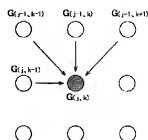
【図7】



【図8】

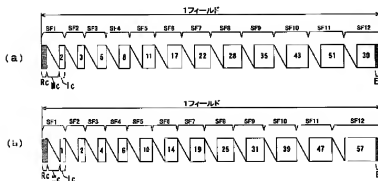
画素	第2データ記憶回路34の変換テーブル												1フィールド毎の読み出しシーケンス												読出	
	(a)												SF 1 2 3 4 5 6 7 8 9 10 11 12												第1読出	第2読出
	PDs	1	2	3	4	5	6	7	8	9	10	11	12	SF 1	SF 2	SF 3	SF 4	SF 5	SF 6	SF 7	SF 8	SF 9	SF 10	SF 11	SF 12	
1	0000	1	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	0	0
2	0001	0	1	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	2	1
3	0010	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	5	3
4	0011	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	8	7
5	0100	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	16	13
6	0101	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	29	23
7	0110	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	46	37
8	0111	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	66	56
9	1000	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	96	81
10	1001	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	131	112
11	1010	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	174	151
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	225	198
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	255	235

【図13】

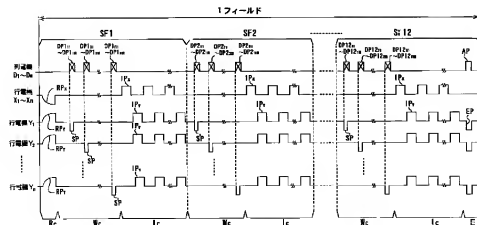


黒丸: 選択消光電
白丸: 保持放電電

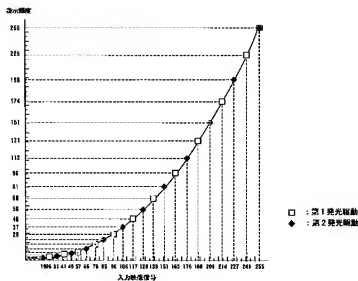
【図9】



【図10】

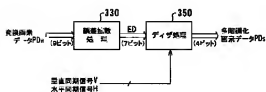


【图 1-1】



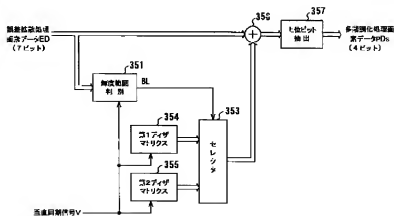
【图12】

33

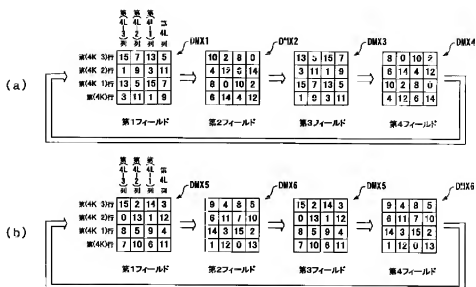


【图 14】

350



【図20】



フロントページの続き

Fターム(参考) 5C058 AA11 BA01 BA07 BA33 BA35
BB04 BE11 BE25
5C080 AA05 BB05 DD01 EE28 FF12
JJ02 JJ04 JJ05